

24. 9. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 11 NOV 2004

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 2 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 3 6 8 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 3 6 8 0 0]

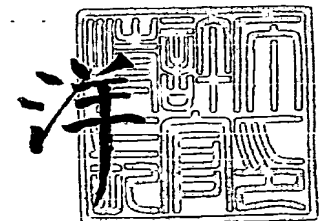
出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2900655333
【提出日】 平成15年 9月29日
【あて先】 特許庁長官殿
【国際特許分類】 H04B 7/26
【発明者】
 【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
 【氏名】 佐々木 亮
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105050
 【弁理士】
 【氏名又は名称】 鷺田 公一
【手数料の表示】
 【予納台帳番号】 041243
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9700376

【書類名】特許請求の範囲**【請求項 1】**

カットオフ周波数の異なる複数のループフィルタと、
前記ループフィルタから出力された電圧に応じた周波数信号を発振する発振手段と、
前記発振手段と発振信号出力端との間に設けられ、前記複数のループフィルタ毎に異なる周波数変動成分を除去する可変の周波数変動成分除去回路と、
前記ループフィルタの切り替えに連動して前記周波数変動成分除去回路の制御を行う制御手段と、
を具備することを特徴とする PLL 周波数シンセサイザ。

【請求項 2】

前記周波数変動成分除去回路は、異なる周波数変動成分でそれぞれ自己共振する可変容量コンデンサであることを特徴とする請求項 1 に記載の PLL 周波数シンセサイザ。

【請求項 3】

前記周波数変動成分除去回路は、異なる周波数変動成分でそれぞれ共振する共振回路であることを特徴とする請求項 1 に記載の PLL 周波数シンセサイザ。

【請求項 4】

前記発振手段からの出力が帰還する信号線が前記発振手段の出力線から分岐している分岐点と前記発振手段との間、前記帰還する信号線、及び、前記分岐点から後段の出力線のそれぞれに設けられた抵抗を具備することを特徴とする請求項 1 から請求項 3 のいずれかに記載の PLL 周波数シンセサイザ。

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の PLL 周波数シンセサイザを具備することを特徴とする無線通信装置。

【書類名】明細書

【発明の名称】PLL周波数シンセサイザ

【技術分野】

【0001】

本発明は、入力信号の位相に同期した信号を発振するPLL周波数シンセサイザに関し、例えば、無線通信装置に適用して好適なものである。

【背景技術】

【0002】

従来、PLL周波数シンセサイザは、特許文献1に記載されたものが知られている。図6は、従来のPLL周波数シンセサイザの構成を示すブロック図である。この図において、入力信号に対して並列に設けられ、カットオフ周波数がそれぞれ異なるループフィルタを有する複数のPLL回路10-1～10-nは、入力信号に対して位相同期した発振信号をそれぞれ出力する。具体的にPLL回路10-1を例に挙げると、入力信号は位相比較器11で電圧制御発振器13から出力された発振信号と位相の比較が行われ、比較結果がループフィルタ12を介して電圧制御発振器13に出力されると共に、ロック監視器20に出力される。

【0003】

ロック監視器20は、各PLL回路の位相比較器から出力された比較結果に基づいて、ロックしているPLL回路を検出し、制御回路30は、ロック検出されたPLL回路のうち変更可能な条件に基づいて1つのPLL回路を選択し、切り替え器40を制御することにより、選択されたPLL回路の出力信号（発振信号）が得られる。

【0004】

ここで、制御回路30がPLL回路を選択する条件として、カットオフ周波数が最も高いループフィルタを有するPLL回路を選択する場合と、カットオフ周波数が最も低いループフィルタを有するPLL回路を選択する場合とがある。カットオフ周波数が最も高いループフィルタを有するPLL回路を選択する場合、PLL周波数シンセサイザは近傍C/Nの向上とロックアップタイムの短縮を行うことができる。また、カットオフ周波数が最も低いループフィルタを有するPLL回路を選択する場合、PLL周波数シンセサイザは周波数変動成分である残留FMを低減することができる。なお、近傍C/Nは電圧制御発振器の出力スペクトルの近傍におけるC/Nを意味する。また、残留FMは電圧制御発振器の短時間内の周波数変動量を表現し、その値はモジュレーションアナライザにより測定することができる。

【0005】

このように、従来のPLL周波数シンセサイザは、複数のPLL回路がカットオフ周波数の異なるループフィルタをそれぞれ有し、ループフィルタを切り替えることにより、システムで要求される特性に応じた発振信号を得ることができる。

【0006】

ちなみに、ループフィルタの構成例を図7及び図8に示す。図7は2次のループフィルタの構成例であり、図8はラグリードフィルタの構成例である。

【特許文献1】特開2001-292059号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来のPLL周波数シンセサイザは、カットオフ周波数が高い場合には、近傍C/Nの向上とロックアップタイムの短縮を行うことができるが、残留FMが増大するという問題がある。また、カットオフ周波数が低い場合には、残留FMを低減することができるものの、近傍C/Nの向上とロックアップタイムの短縮を行うことができないという問題がある。

【0008】

本発明はかかる点に鑑みてなされたものであり、近傍C/Nの向上、ロックアップタイ

ムの短縮、及び、残留FMの低減を行うPLL周波数シンセサイザを提供することを目的とする。

【課題を解決するための手段】

【0009】

かかる課題を解決するため、本発明のPLL周波数シンセサイザは、カットオフ周波数の異なる複数のループフィルタと、前記ループフィルタから出力された電圧に応じた周波数信号を発振する発振手段と、前記発振手段と発振信号出力端との間に設けられ、前記複数のループフィルタ毎に異なる周波数変動成分を除去する可変の周波数変動成分除去回路と、前記ループフィルタの切り替えに連動して前記周波数変動成分除去回路の制御を行う制御手段と、を具備する構成を採る。

【0010】

この構成によれば、ループフィルタの切り替えに連動して、周波数変動成分除去回路を制御することにより、システムから要求される特性に応じたカットオフ周波数となるようにループフィルタを切り替える際、カットオフ周波数が高いループフィルタが用いられた場合には、近傍C/N及びロックアップタイム特性を劣化させることなく周波数変動成分を低減することができる。また、カットオフ周波数が低いループフィルタが用いられた場合には、周波数変動成分をさらに低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍C/Nの向上とロックアップタイムの短縮を行うことができる。

【0011】

本発明のPLL周波数シンセサイザは、上記構成において、前記周波数変動成分除去回路が、異なる周波数変動成分でそれぞれ自己共振する可変容量コンデンサである構成を採る。

【0012】

この構成によれば、周波数変動成分除去回路を可変容量コンデンサとし、可変容量コンデンサを接地すると、自己共振時に可変容量コンデンサがショート状態となり、周波数変動成分を除去することができる。

【0013】

本発明のPLL周波数シンセサイザは、上記構成において、前記周波数変動成分除去回路が、異なる周波数変動成分でそれぞれ共振する共振回路である構成を採る。

【0014】

この構成によれば、周波数変動成分除去回路を異なる周波数変動成分でそれぞれ共振する共振回路とし、共振回路を接地すると、共振時に共振回路がショート状態となり、周波数変動成分を除去することができる。

【0015】

本発明のPLL周波数シンセサイザは、上記構成において、前記発振手段からの出力が帰還する信号線が前記発振手段の出力線から分岐している分岐点と前記発振手段との間、前記帰還する信号線、及び、前記分岐点から後段の出力線のそれぞれに設けられた抵抗を具備する構成を採る。

【0016】

この構成によれば、発振手段からの出力が帰還する信号線が発振手段の出力線から分岐している分岐点と発振手段との間、帰還する信号線、及び、分岐点から後段の出力線のそれぞれに抵抗を設けることにより、発振手段の出力インピーダンスが変化しても、インピーダンスの変化分を緩和することができるため、発振手段の出力インピーダンスの変化を小さくすることができる。

【0017】

本発明の無線通信装置は、上記いずれかのPLL周波数シンセサイザを具備する構成を採る。

【0018】

この構成によれば、ループフィルタの切り替えに連動して、周波数変動成分除去回路を

制御することにより、システムから要求される特性に応じたカットオフ周波数となるようにループフィルタを切り替える際、カットオフ周波数が高いループフィルタが用いられた場合には、近傍C/N及びロックアップタイム特性を劣化させることなく周波数変動成分を低減することができる。また、カットオフ周波数が低いループフィルタが用いられた場合には、周波数変動成分をさらに低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍C/Nの向上とロックアップタイムの短縮を行うことができる。

【発明の効果】

【0019】

以上説明したように、本発明によれば、ループフィルタ毎に異なる周波数変動成分を含む発振信号から周波数変動成分を除去する周波数変動成分除去回路を、電圧制御発振器と発振信号出力端との間に設け、ループフィルタの切り替えと連動して周波数変動成分除去回路を制御することにより、カットオフ周波数が高い場合には、近傍C/N及びロックアップタイム特性を劣化させることなく残留FMを低減することができ、カットオフ周波数が低い場合には、さらに残留FMを低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍C/Nの向上とロックアップタイムの短縮を行うことができる。これにより、近傍C/Nの向上、ロックアップタイムの短縮、及び、残留FMの低減を行うことができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について図面を用いて説明する。

【0021】

(実施の形態1)

図1は、本発明の実施の形態1に係るPLL周波数シンセサイザの構成を示すブロック図である。この図において、位相比較器101は、入力端I1から入力された信号と分周器107から出力された信号の位相を比較し、位相差に応じた電流信号がスイッチ回路102を介してループフィルタ103又は104に出力される。

【0022】

ループフィルタ103及び104は、カットオフ周波数がそれぞれ異なり、位相比較器101から出力された電流信号を電圧信号に変換し、電圧信号をスイッチ回路105を介して電圧制御発振器106に出力する。ここでは、ループフィルタ103のカットオフ周波数が、ループフィルタ104のカットオフ周波数より低いものとする。

【0023】

電圧制御発振器106は、ループフィルタ103又は104から出力された電圧に応じた周波数の発振信号が分岐点P1で分岐され、分周器107及び出力端O1に出力される。分周器107は電圧制御発振器106から出力された発振信号の周波数を分周し、分周後の信号を位相比較器101に出力する。

【0024】

周波数変動成分除去回路としての可変容量コンデンサ108は、一端が電圧制御発振器106の出力線に接続され（接続点をP2とする）、他端が接地されている。また、容量を変更可能なコンデンサであり、制御回路109の制御に応じて容量を変更する。

【0025】

制御回路109は、入力端I2から入力される信号に基づいて、スイッチ回路102及び105、可変容量コンデンサ108を制御し、ループフィルタ103又は104のいずれかを用いるようにする。入力端I2から入力される信号は、高近傍C/Nモード及び高速ロックアップモード、又は低残留FMモードのいずれであるかを制御回路109に通知する。ここで、モードとは、システムが要求する特性となるように周波数シンセサイザが動作する状態を意味する。

【0026】

次に、上述した構成を有するPLL周波数シンセサイザの動作について説明する。入力

端 I 2 から入力される信号が、高近傍 C/N モード及び高速ロックアップモードであることを制御回路 109 に通知すると、制御回路 109 はスイッチ回路 102 及び 105 を制御し、各スイッチ回路がループフィルタ 104 と接続する。

【0027】

位相比較器 101 では、入力端 I 1 から入力された信号と分周器 107 から出力された信号の位相差が比較され、位相差に応じた電流信号がループフィルタ 104 で電圧信号に変換され、電圧信号が電圧制御発振器 106 に出力される。

【0028】

電圧制御発振器 106 では、ループフィルタ 104 から出力された電圧信号に応じた周波数の発振信号が分周器 107 及び出力端 O 1 に出力され、分周器 107 では、電圧制御発振器 106 から出力された発振信号の周波数が分周される。出力端 O 1 に出力される発振信号は、可変容量コンデンサ 108 が接地されているため発振信号の周波数変動で自己共振するとショート状態となり、この周波数変動を吸収するので、周波数変動成分である残留 FM を低減することができる。これにより、カットオフ周波数の高いループフィルタが用いられた場合、残留 FM を低減することができるので、この低減分だけカットオフ周波数を上げれば、近傍 C/N をより向上させることができる。ただし、残留 FM と近傍 C/N はトレードオフの関係にあるので、近傍 C/N を向上させる場合には、残留 FM を低減することはできない。

【0029】

また、入力端 I 2 から入力される信号が、低残留 FM モードであることを制御回路 109 に通知すると、制御回路 109 はスイッチ回路 102 及び 105 を制御し、各スイッチ回路がループフィルタ 103 と接続する。

【0030】

位相比較器 101 では、入力端 I 1 から入力された信号と分周器 107 から出力された信号の位相差が比較され、位相差に応じた電流信号がループフィルタ 103 で電圧信号に変換され、電圧信号が電圧制御発振器 106 に出力される。

【0031】

電圧制御発振器 106 では、ループフィルタ 103 から出力された電圧信号に応じた周波数の発振信号が分周器 107 及び出力端 O 1 に出力され、分周器 107 では、電圧制御発振器 106 から出力された発振信号の周波数が分周される。出力端 O 1 に出力される発振信号は、可変容量コンデンサ 108 により、残留 FM を低減することができる。これにより、カットオフ周波数の低いループフィルタが用いられた場合、従来に比べ、さらに残留 FM を低減することができる。また、システムで要求される残留 FM 特性が従来と同程度でよいとすると、残留 FM を低減できる分だけカットオフ周波数を上げれば、近傍 C/N を向上させることができる。

【0032】

ここで、可変容量コンデンサ 108 の容量は、高近傍 C/N 及び高速ロックアップモード時、低残留 FM モード時のそれぞれにおける残留 FM で自己共振する値が予め設定されている。なお、可変容量コンデンサ 108 は PLL 回路のループ回路に含まれていないため、近傍 C/N 特性及びロックアップタイム特性の劣化を回避することができる。

【0033】

このように本実施の形態によれば、可変容量コンデンサを電圧制御発振器の出力が帰還するための分岐点の後段でさらに分岐した信号線に接続し、ループフィルタの切り替えと連動して可変容量コンデンサの容量を変えることにより、カットオフ周波数が高い場合には、近傍 C/N 及びロックアップタイム特性を劣化させることなく残留 FM を低減することができ、カットオフ周波数が低い場合には、さらに残留 FM を低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍 C/N の向上とロックアップタイムの短縮を行うことができる。これにより、近傍 C/N の向上、ロックアップタイムの短縮、及び、残留 FM の低減を行うことができる。

【0034】

(実施の形態 2)

図 2 は、本発明の実施の形態 2 に係る PLL 周波数シンセサイザの構成を示すブロック図である。ただし、図 2 が図 1 と共通する部分は図 1 と同じ符号を付し、その詳しい説明は省略する。図 2 が図 1 と異なる点は、可変容量コンデンサ 108 を共振回路 201 に変更した点である。

【0035】

周波数変動成分除去回路としての共振回路 201 は、高近傍 C/N 及び高速ロックアップモード時の残留 FM 成分と、低残留 FM モード時の残留 FM 成分とがそれぞれ共振周波数となるように設定されており、共振時にショート状態となる。これにより、残留 FM を低減することができる。

【0036】

ここで、各モード時の残留 FM 成分は予め求められており、制御回路 109 が共振回路 201 を制御することにより、各モードで共振回路 201 を共振させることができる。

【0037】

このように本実施の形態によれば、共振回路を電圧制御発振器の出力が帰還するための分岐点の後段でさらに分岐した信号線に接続し、ループフィルタの切り替えと連動して共振回路の共振周波数を変えることにより、カットオフ周波数が高い場合には、近傍 C/N 及びロックアップタイム特性を劣化させることなく残留 FM を低減することができ、カットオフ周波数が低い場合には、さらに残留 FM を低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍 C/N の向上とロックアップタイムの短縮を行うことができる。これにより、近傍 C/N の向上、ロックアップタイムの短縮、及び、残留 FM の低減を行うことができる。

【0038】**(実施の形態 3)**

図 3 は、本発明の実施の形態 3 に係る PLL 周波数シンセサイザの構成を示すブロック図である。ただし、図 3 が図 1 と共通する部分は図 1 と同じ符号を付し、その詳しい説明は省略する。図 3 が図 1 と異なる点は、インダクタ 301 及び可変抵抗 302 を追加した点と、可変容量コンデンサ 108 を可変容量コンデンサ 303 に変更した点である。

【0039】

並列に接続されたインダクタ 301 と可変抵抗 302 が接続されている。インダクタ 301 と可変抵抗 302 の一端は分岐点 P2 に接続されており、インダクタ 301 と可変抵抗 302 の他端は可変容量コンデンサ 303 を介して接地されている。可変抵抗 302 は、制御回路 109 の制御を受け、抵抗値を変更することができる。

【0040】

インダクタ 301 と可変容量コンデンサ 303 は、高近傍 C/N 及び高速ロックアップモード時の残留 FM 成分と、低残留 FM モード時の残留 FM 成分とがそれぞれ共振周波数となり、直列共振したときにショート状態となる。これにより、残留 FM 成分を低減することができる。すなわち、インダクタ 301、可変抵抗 302、可変容量コンデンサ 303 が周波数変動成分除去回路として機能する。

【0041】

ここで、各モード時の残留 FM 成分は予め求められており、制御回路 109 が可変容量コンデンサ 303 及び可変抵抗 302 を制御することにより、各モードで可変容量コンデンサ 303 とインダクタ 301 を共振させることができる。

【0042】

このように本実施の形態によれば、並列に接続されたインダクタと可変抵抗を可変容量コンデンサと直列に接続し、ループフィルタの切り替えと連動して可変容量コンデンサの容量と可変抵抗の抵抗値を変えることにより、カットオフ周波数が高い場合には、近傍 C/N 及びロックアップタイム特性を劣化させることなく残留 FM を低減することができ、カットオフ周波数が低い場合には、さらに残留 FM を低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍 C/N の向上とロックアップタイムの短縮

を行うことができる。これにより、近傍C/Nの向上、ロックアップタイムの短縮、及び、残留FMの低減を行うことができる。

【0043】

(実施の形態4)

図4は、本発明の実施の形態4に係るPLL周波数シンセサイザの構成を示すブロック図である。ただし、図4が図1と共通する部分は図1と同じ符号を付し、その詳しい説明は省略する。図4が図1と異なる点は、コンデンサ401及びインダクタ403、可変抵抗404を追加した点と、可変容量コンデンサ108を可変容量コンデンサ402に変更した点である。

【0044】

コンデンサ401の一端は分岐点P1に接続され、他端は並列に接続された可変容量コンデンサ402、インダクタ403、及び、可変抵抗404に接続されている。

【0045】

可変容量コンデンサ402とインダクタ403は、高近傍C/N及び高速ロックアップモード時の残留FM成分と、低残留FMモード時の残留FM成分とが共振周波数となり、並列共振したときにショート状態となる。これにより、残留FM成分を低減することができる。すなわち、コンデンサ401、可変容量コンデンサ402、インダクタ403、可変抵抗404が周波数変動成分除去回路として機能する。

【0046】

ここで、各モード時の残留FM成分は予め求められており、制御回路109が可変容量コンデンサ402及び可変抵抗404を制御することにより、各モードで可変容量コンデンサ402とインダクタ403を共振させることができる。

【0047】

このように本実施の形態によれば、可変容量コンデンサ、インダクタ及び可変抵抗を並列に接続し、これらとコンデンサを直列に接続し、ループフィルタの切り替えと連動して可変容量コンデンサの容量と可変抵抗の抵抗値を変えることにより、カットオフ周波数が高い場合には、近傍C/N及びロックアップタイム特性を劣化させることなく残留FMを低減することができる。カットオフ周波数が低い場合には、さらに残留FMを低減させることができるので、この低減分だけカットオフ周波数を上げれば、近傍C/Nの向上とロックアップタイムの短縮を行うことができる。これにより、近傍C/Nの向上、ロックアップタイムの短縮、及び、残留FMの低減を行うことができる。

【0048】

(実施の形態5)

図5は、本発明の実施の形態5に係るPLL周波数シンセサイザの構成を示すブロック図である。ただし、図5が図1と共通する部分は図1と同じ符号を付し、その詳しい説明は省略する。図5が図1と異なる点は、抵抗501～503を追加した点である。

【0049】

抵抗501は電圧制御発振器106の出力側と分岐点P1との間に設けられ、抵抗502は分岐点P1及びP2の間に設けられている。さらに、抵抗503は分岐点P1と分周器107との間、すなわち、帰還信号線に設けられている。

【0050】

ここで、高近傍C/Nモード及び高速ロックアップモード時と低残留FMモード時とで、可変容量コンデンサ108の容量を変化させるので、出力インピーダンスが変化してしまうが、抵抗501～503を接続したことにより、インピーダンスの変化分が緩和されるため、電圧制御発振器106の出力インピーダンスの変化を小さくすることができる。

【0051】

このように本実施の形態によれば、電圧制御発振器の出力側と分周器とを抵抗を介して接続すると共に、電圧制御発振器の出力側と可変容量コンデンサとを抵抗を介して接続することにより、電圧制御発振器の出力インピーダンスの変化量を小さくすることができる。このため、PLL周波数シンセサイザの後段に接続される回路との整合をとることができる。

き、システムの安定化を図ることができる。

【0052】

なお、上述した各実施の形態のPLL周波数シンセサイザは、携帯電話、PHS、無線LANなどの各種無線通信装置に適用することができる。

【0053】

また、上述した各実施の形態では、2つのループフィルタの場合について説明したが、本発明はこれに限らず、1つ又は3つ以上のループフィルタでもよい。

【産業上の利用可能性】

【0054】

本発明にかかるPLL周波数シンセサイザは、近傍C/Nの向上、ロックアップタイムの短縮、及び、残留FMの低減を行うという効果を有し、携帯電話、PHS、無線LANなどの各種無線通信装置に適用することができる。

【図面の簡単な説明】

【0055】

【図1】本発明の実施の形態1に係るPLL周波数シンセサイザの構成を示すブロック図

【図2】本発明の実施の形態2に係るPLL周波数シンセサイザの構成を示すブロック図

【図3】本発明の実施の形態3に係るPLL周波数シンセサイザの構成を示すブロック図

【図4】本発明の実施の形態4に係るPLL周波数シンセサイザの構成を示すブロック図

【図5】本発明の実施の形態5に係るPLL周波数シンセサイザの構成を示すブロック図

【図6】従来のPLL周波数シンセサイザの構成を示すブロック図

【図7】2次のループフィルタの構成例を示す図

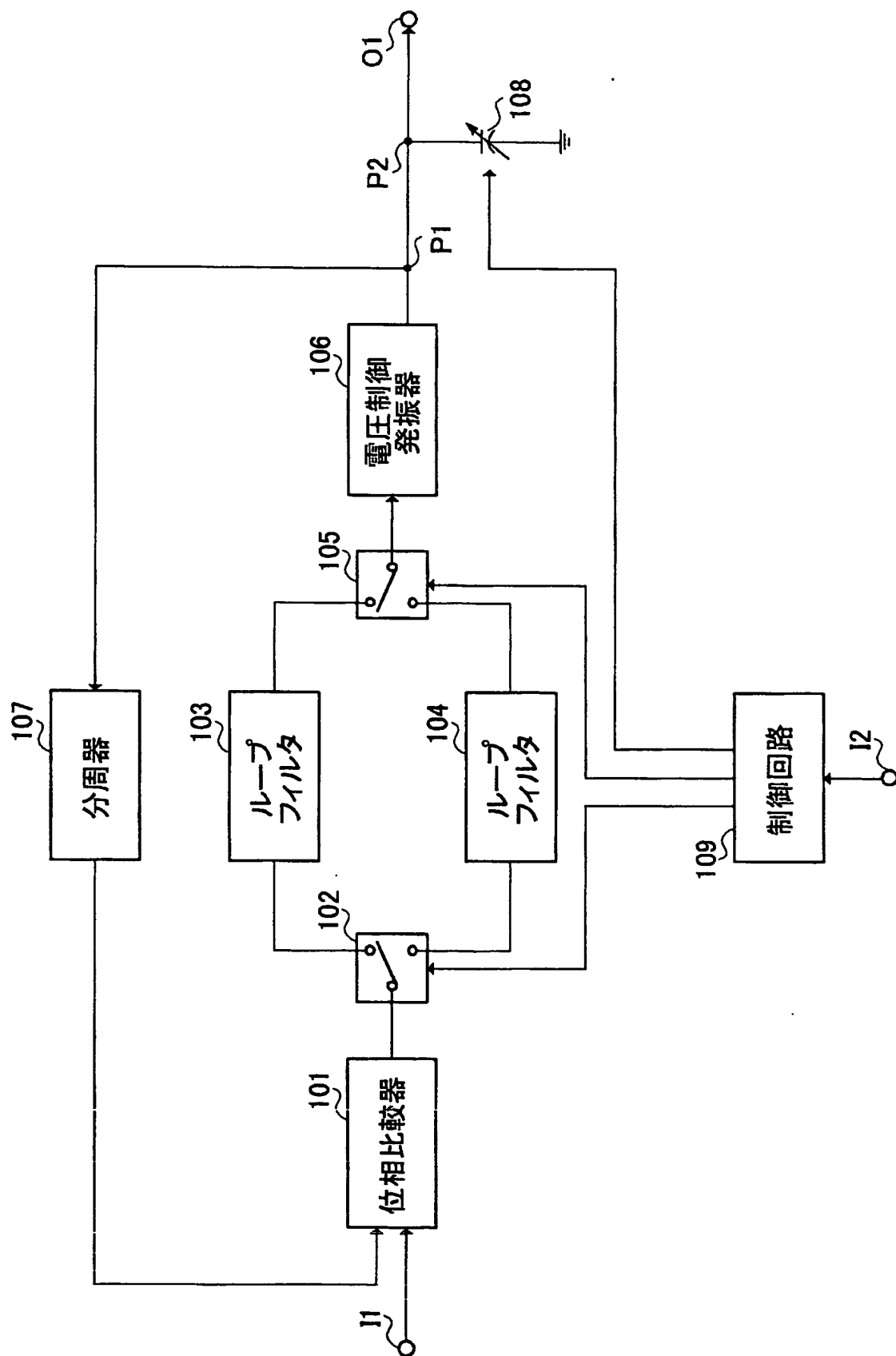
【図8】ラグリードフィルタの構成例を示す図

【符号の説明】

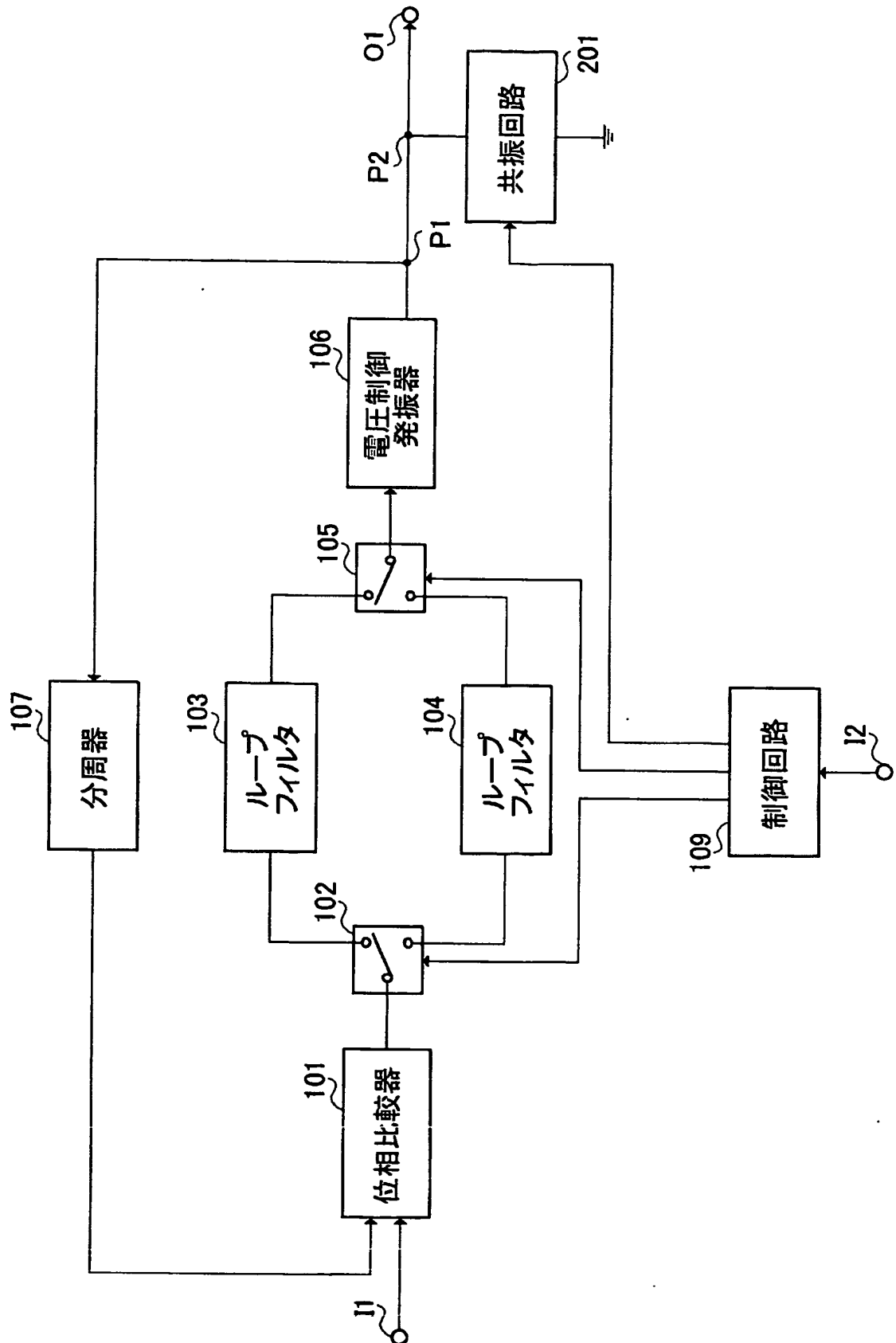
【0056】

- 101 位相比較器
- 102、105 スイッチ回路
- 103、104 ループフィルタ
- 106 電圧制御発振器
- 107 分周器
- 108、303、402 可変容量コンデンサ
- 109 制御回路
- 201 共振回路
- 301、403 インダクタ
- 302、404 可変抵抗
- 401 コンデンサ
- 501、502、503 抵抗

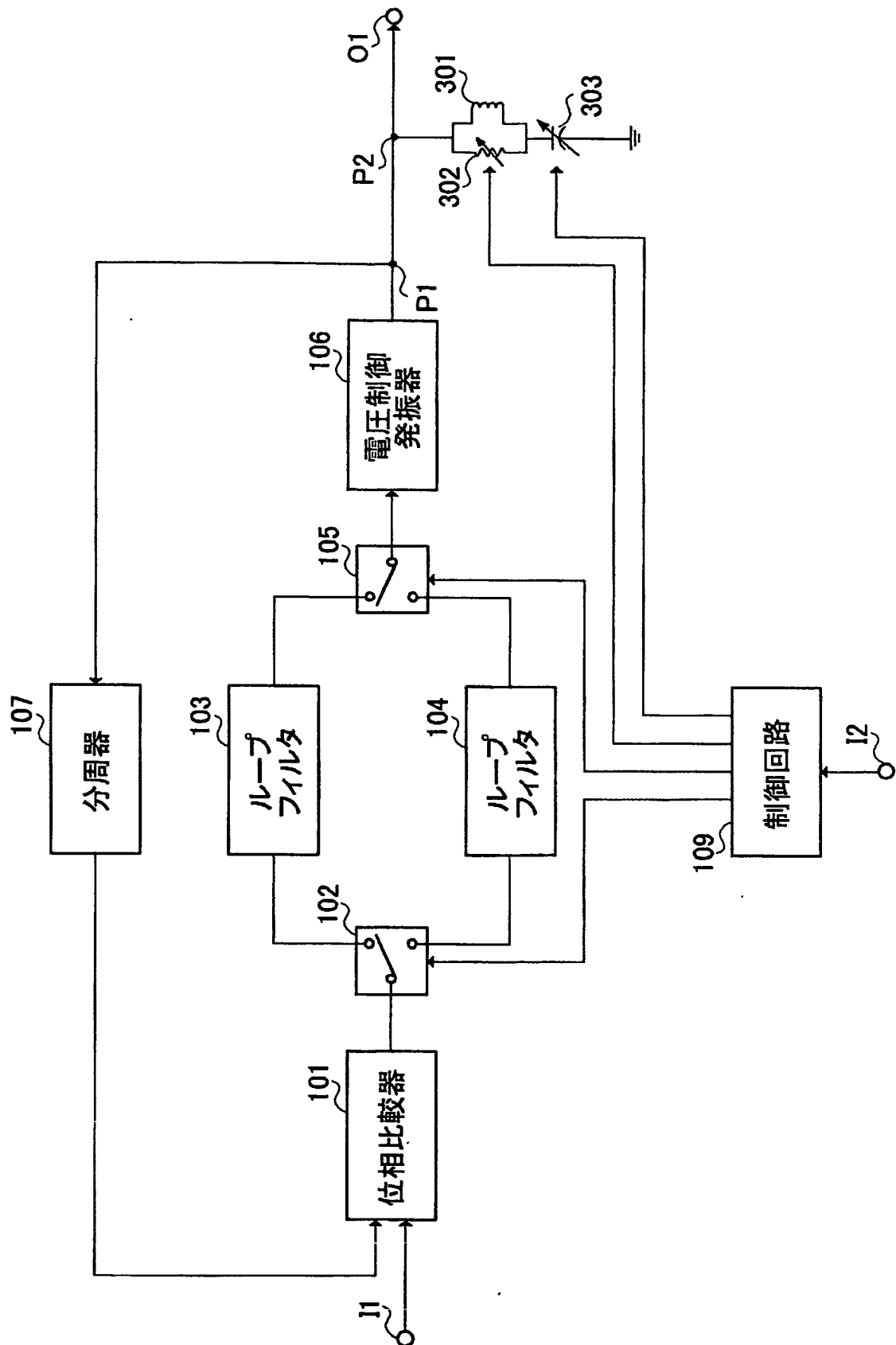
【書類名】 図面
【図 1】



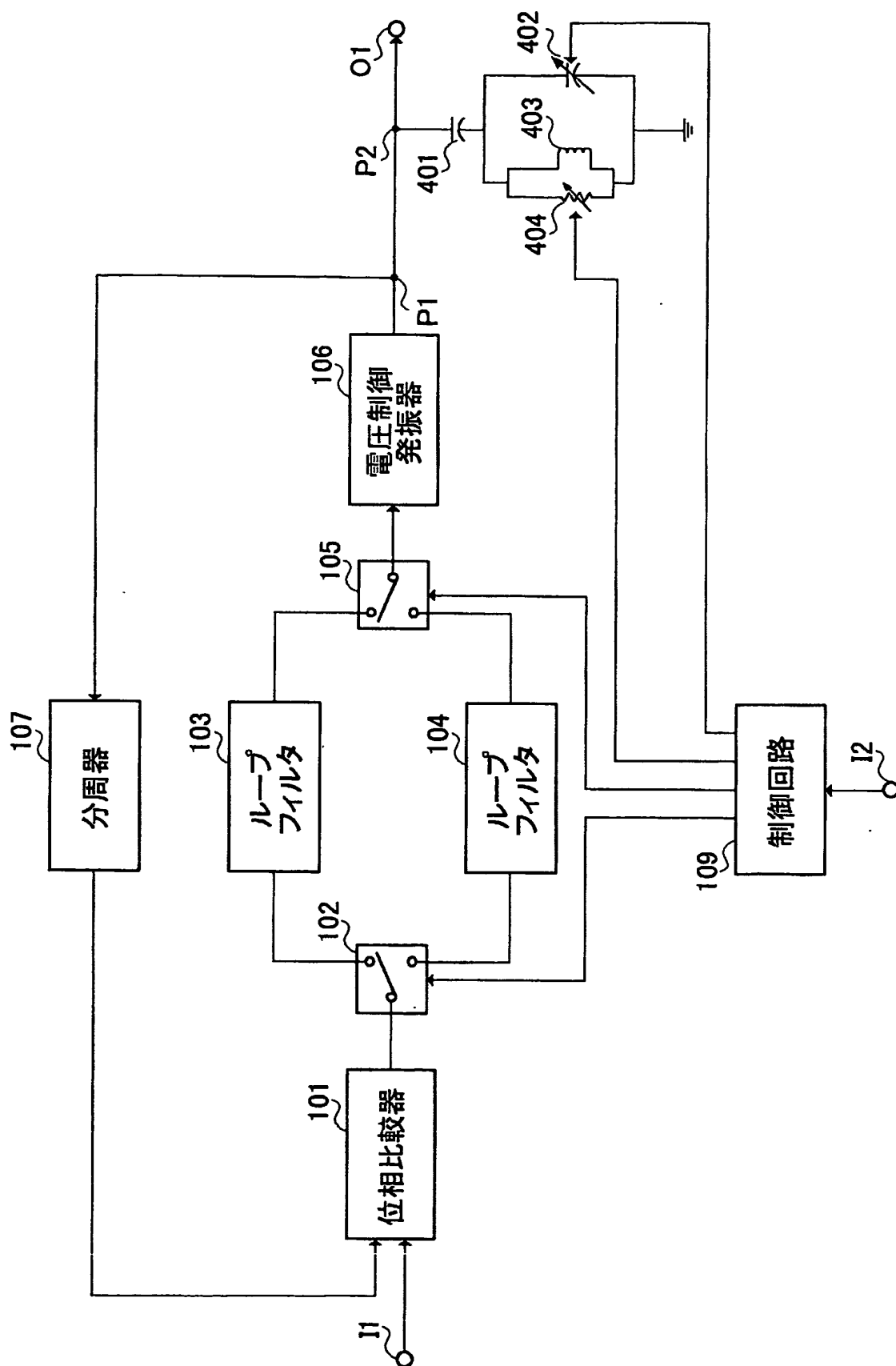
【図 2】



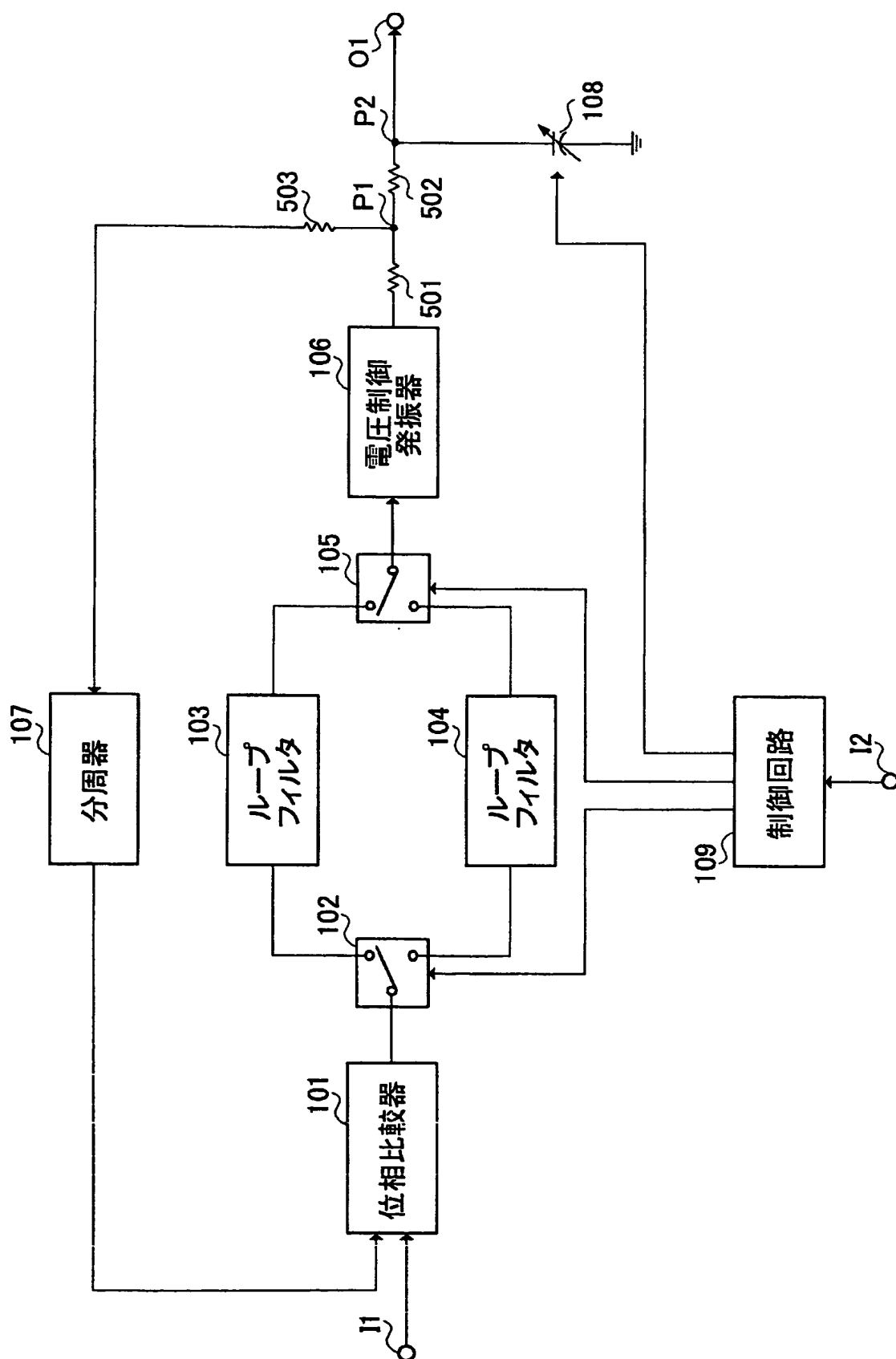
【図 3】



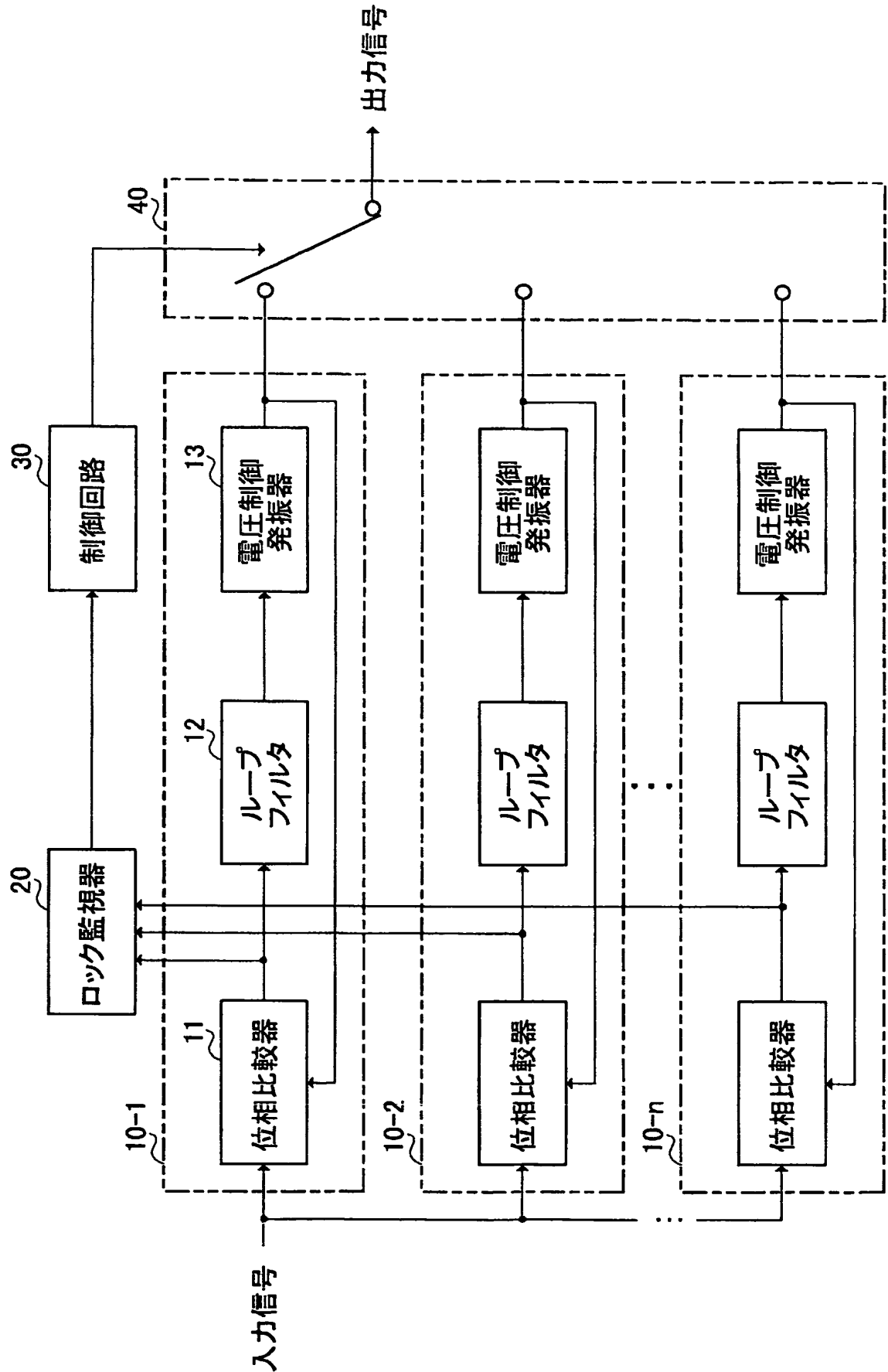
【図 4】



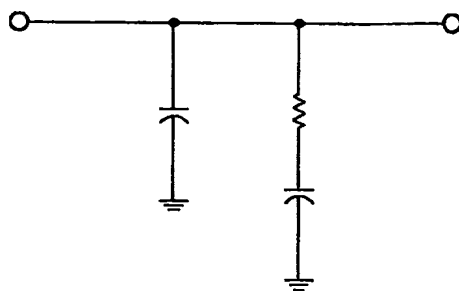
【図 5】



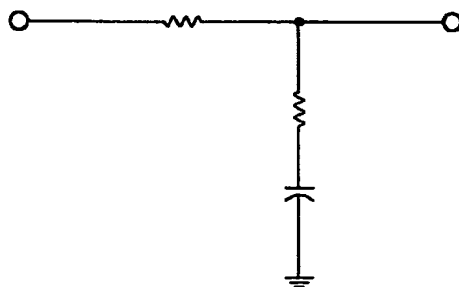
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 近傍 C/N の向上、ロックアップタイムの短縮、及び、残留 FM の低減を行うこと。

【解決手段】 入力端 I 1 から入力され信号と分周器から出力された信号が位相比較器 1 0 1 で位相比較が行われ、位相差に応じた電流信号がカットオフ周波数の異なる複数のループフィルタ 1 0 3 又は 1 0 4 で電圧信号に変換され、電圧制御発振器 1 0 6 に出力される。電圧制御発振器 1 0 6 は、入力された電圧信号に応じた周波数信号を発振する。発振信号は分岐点 P 1 で分岐され、分周器 1 0 7 と出力端 O 1 に出力される。可変容量コンデンサ 1 0 8 は、分岐点 P 1 の後段でさらに分岐した分岐点 P 2 に接続され、制御回路 1 0 9 がループフィルタの切り替え制御に連動して、容量が制御される。

【選択図】 図 1

特願 2 0 0 3 - 3 3 6 8 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社